

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 7 日
Date of Application:

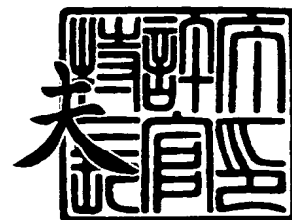
出 願 番 号 特 願 2 0 0 3 - 0 0 9 1 8 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 9 1 8 4]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】	特許願
【整理番号】	71110560
【提出日】	平成15年 1月17日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内
【氏名】	岡田 誠
【特許出願人】	
【識別番号】	302062931
【氏名又は名称】	N E C エレクトロニクス株式会社
【代理人】	
【識別番号】	100110928
【弁理士】	
【氏名又は名称】	速水 進治
【電話番号】	03-3461-3687
【手数料の表示】	
【予納台帳番号】	138392
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0216935
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、第一の絶縁膜を形成する工程と、
前記第一の絶縁膜に、溝部を形成する工程と、
前記半導体基板上の全面に、前記溝部を埋め込むように第二の絶縁膜を形成する工程と、
前記第二の絶縁膜を選択的に除去し、前記溝部の直上を除く領域に複数の配線溝を形成する工程と、
前記配線溝を埋め込むように金属膜を形成する工程と、
前記配線溝外部に形成された前記金属膜を除去することにより複数の配線を形成する工程と、
前記溝部上の前記第二の絶縁膜を溝状に除去し、前記溝部を含むエアギャップ形成用溝を形成する工程と、
前記エアギャップ形成用溝内に空洞を形成するように、半導体基板上の全面に第三の絶縁膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、
前記エアギャップ形成用溝を形成する工程において、隣接する前記配線の間の領域全体にわたって前記第二の絶縁膜を除去することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 に記載の半導体装置の製造方法において、
前記溝部を形成する工程において、前記溝部とともに、前記第一の絶縁膜の前記溝部が形成された領域とは異なる領域に複数のビアホールを形成し、
前記配線溝を形成する工程において、前記配線溝を前記ビアホールに接続して設け、
前記金属膜を形成する工程において、前記配線溝とともに前記ビアホールをも埋め込むように前記金属膜を形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の半導体装置の製造方法にお

いて、

前記エアギャップ形成用溝を形成する工程において、前記溝部の形成された領域に沿って前記第二の絶縁膜を溝状に除去することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 いずれかに記載の半導体装置の製造方法において、

前記エアギャップ形成用溝を形成する工程において、マスクを形成することなく前記絶縁膜を前記金属膜に対して選択的に除去するエッチング液を用いて前記第二の絶縁膜を除去することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法において、

前記第三の絶縁膜は、低誘電率材料からなることを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に絶縁膜を形成する工程と、
前記絶縁膜を選択的に除去して複数の配線溝を形成する工程と、
前記配線溝を埋め込むように金属膜を形成する工程と、
前記配線溝外部に形成された前記金属膜を除去することにより複数の配線を形成する工程と、

隣接する前記配線の間の領域全体にわたって前記絶縁膜を除去して溝を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、
前記溝を形成する工程の後、前記半導体基板上の全面に層間絶縁膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、
前記溝内に空洞を形成するように前記層間絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 または 9 に記載の半導体装置の製造方法において、

前記層間絶縁膜は、低誘電率材料からなることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 7 乃至 10 いずれかに記載の半導体装置の製造方法において、

前記溝を形成する工程において、マスクを形成することなく前記絶縁膜を前記金属膜に対して選択的に除去するエッチング液を用いて前記絶縁膜を除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、とくに配線間の容量を低減させた半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来、半導体基板上に多層配線構造が形成された半導体装置を製造する際、配線間の寄生容量を低減するために層間絶縁膜として低誘電率材料を用いたり、配線間にエアギャップ（空洞）を設けたりする方法が開発されている。

【0003】

配線間にエアギャップを設ける製造方法がたとえば特許文献 1 に開示されている。ここでは、たとえば PSG（Phosphorous Silicate Glass）により構成された犠牲層に逆テーパ形態の配線が形成され、犠牲層がドライエッチングやウェットエッチングにより除去された後に配線間にエアギャップが形成されている。

【0004】

また、特許文献 2 には、ビアホール開口部および配線間開口部を同時に形成することにより、配線間の絶縁部に空洞が形成された半導体装置およびその製造方法が記載されている。

【0005】

【特許文献 1】

特開 2001-85519 号公報

【特許文献 2】

特許第 3102382 号

【0006】

【発明が解決しようとする課題】

しかし、従来の方法において、配線を形成後にエアギャップを形成する場合、フォトリソ膜等のマスクを形成してから配線間の層間絶縁膜をエッチングにより除去してエアギャップ形成用の溝を形成しなければならなかった。このようにエアギャップ形成用の溝を形成するためにマスクを用いなければならないと、工程数が大幅に増加してしまう。

【0007】

一方、マスクを形成することなく、ドライエッチングにより、層間絶縁膜をエッチングにより除去すると、配線にダメージを与えてしまう。

【0008】

また、図 5 に示すように、マスクを形成することなく、ウェットエッチングにより選択的に層間絶縁膜（不図示）を除去すると、エッチング後の形状制御が困難であり、図 5（a）に示すようにオーバーエッチングされた場合、ビアホールが形成された層間絶縁膜 1 が不均一な形状になってしまい、配線の支柱または配線間における層間絶縁膜 1 がなくなってしまうおそれがある。

【0009】

一方、ウェットエッチングにより選択的に層間絶縁膜（不図示）を除去して図 5（b）に示すようにアンダーエッチングされた場合、エアギャップ 9 が形成される層間絶縁膜 6 は不均一なテーパー形状になり、埋設性の低い条件にて配線上にビアホールを形成して層間絶縁膜 6 を堆積させても、均一なエアギャップが形成できない。

【0010】

さらに、層間絶縁膜として低誘電率材料を用いた場合、エッチングにより層間絶縁膜に配線溝を形成する際、通常、層間絶縁膜とその下層とのエッチング液に対する選択比に差がないことが多く、層間絶縁膜とその下層との間にエッチング

ストッパ膜を設ける必要がある。エッチングストッパ膜を設けると、層間の密着性が悪くなったり、せっかく層間絶縁膜として低誘電率材料を用いた場合であっても、配線間の寄生容量が増加してしまうという問題があった。

【0011】

本発明は上記事情を踏まえてなされたものであり、配線間の容量を低減させた半導体装置を製造する技術を提供することを目的とする。本発明の別の目的は、配線間の容量を低減させた半導体装置の製造における工程数を減らして、製造工程を簡略化する技術を提供することである。本発明のまた別の目的は、半導体装置を安定的に製造する技術を提供することである。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板上に、第一の絶縁膜を形成する工程と、第一の絶縁膜に、溝部を形成する工程と、半導体基板上の全面に、溝部を埋め込むように第二の絶縁膜を形成する工程と、第二の絶縁膜を選択的に除去し、溝部の直上を除く領域に複数の配線溝を形成する工程と、配線溝を埋め込むように金属膜を形成する工程と、配線溝外部に形成された金属膜を除去することにより複数の配線を形成する工程と、溝部上の第二の絶縁膜を溝状に除去し、溝部を含むエアギャップ形成用溝を形成する工程と、エアギャップ形成用溝内に空洞を形成するように、半導体基板上の全面に第三の絶縁膜を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0013】

このように溝部を予め形成しておくことにより、エアギャップの形状を精度よく略均一にすることができる。これにより、配線間の容量を低減させた半導体装置を安定的に製造することができる。ここで、溝部の直上を除く領域とは、溝部の直上を除く少なくとも一部の領域とすることができる。

【0014】

本発明の半導体装置の製造方法において、エアギャップ形成用溝を形成する工程において、隣接する配線の間の領域全体にわたって第二の絶縁膜を除去することができる。このようにすれば、配線の間の領域全体にわたって、エアギャップ

形成用溝が形成されるので、配線間の容量をより低減させることができる。

【0015】

本発明の半導体装置の製造方法において、溝部を形成する工程において、溝部とともに、第一の絶縁膜の溝部が形成された領域とは異なる領域に複数のビアホールを形成することができ、配線溝を形成する工程において、配線溝をビアホールに接続して設けることができ、金属膜を形成する工程において、配線溝とともにビアホールをも埋め込むように金属膜を形成することを特徴とする半導体装置の製造方法

【0016】

このように、ビアホールとともに溝部を形成すれば、フォトリソ等マスクを用いた処理を減らすことができ、半導体装置の製造方法における工程数を大幅に低減して製造工程を簡略化することができる。

【0017】

本発明の半導体装置の製造方法において、エアギャップ形成用溝を形成する工程において、エアギャップ形成用溝は、ビアおよび配線の厚さの合計と略等しい厚さに形成することができる。

【0018】

このようなエアギャップ形成用溝を形成することにより、エアギャップの形状を精度よく略均一にすることができる。これにより、配線間の容量を低減させた半導体装置を安定的に製造することができる。

【0019】

本発明の半導体装置の製造方法において、エアギャップ形成用溝を形成する工程において、エアギャップ形成用溝は、側壁が溝部の底面に対して略垂直となるように形成することができる。

【0020】

このようなエアギャップ形成用溝を形成することにより、エアギャップの形状を精度よく略均一にすることができる。これにより、配線間の容量を低減させた半導体装置を安定的に製造することができる。

【0021】

本発明の半導体装置の製造方法において、金属膜は銅を含有することができ、金属膜を形成する工程の前に、ビアホールおよび配線溝の内面を覆うバリアメタル膜を形成する工程をさらに含むことができ、配線は、金属膜およびバリアメタル膜により構成されてよく、金属膜を除去する工程において、配線溝外部に形成されたバリアメタル膜をも除去することができる。

【0022】

本発明の半導体装置の製造方法において、エアギャップ形成用溝を形成する工程において、溝部の形成された領域に沿って第二の絶縁膜を溝状に除去することができる。

【0023】

ここで、第二の絶縁膜は、マスクを用いて除去することができる。この場合、マスクとしてフォトリソ膜を用いることができる。このようにすれば、溝部の形成された領域に沿って溝部の直上にエアギャップ形成用溝を設けることができる。これにより、エアギャップの形状を精度よく略均一にすることができる。

【0024】

本発明の半導体装置の製造方法において、エアギャップ形成用溝を形成する工程において、マスクを形成することなく第二の絶縁膜を金属膜に対して選択的に除去するエッチング液を用いて除去することができる。ここで、第二の絶縁膜としては、たとえばポリイミド、とくに感光性のポリイミドを用いることができる。この場合、エッチング液としては、たとえばヒドラジンを用いることができる。これにより、マスクを用いることなく、第二の絶縁膜のみを選択的に除去することができる。そのため、溝を形成する工程において、底面に対して側壁が略垂直な溝を形成することができ、従来問題となっていた工程数の増加、配線へのダメージを防ぐことができる。また、従来において、図5を参照して説明したオーバーエッチングやアンダーエッチングの問題も解決することができ、均一なエアギャップを形成することができる。

【0025】

本発明の半導体装置の製造方法において、第三の絶縁膜は、低誘電率材料により構成することができる。ここで、低誘電率材料とは、比誘電率が3.6以下の

材料とすることができる。

【0026】

低誘電率材料としては、梯子型水素化シロキサン等のラダーオキサイドを含む膜を用いることができる。梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点からは、とくに比誘電率が2.9以下のものが好ましく、また膜密度が低いものが好ましい。こうした膜材料の具体例としてL-Ox（商標）等を例示することができる。また、低誘電率材料としては、この他に、たとえば、HSQ（ハイドロジェンシルセスキオキサン）、MSQ（メチルシルセスキオキサン）、またはMHSQ（メチル化ハイドロジェンシルセスキオキサン）等のポリオルガノシロキサン、ポリアリールエーテル（PAE）、ジビニルシロキサンービスーベンゾシクロブテン（BCB）、またはSilk（登録商標）等の芳香族含有有機材料、SOG（spin on glass）、FOX（flowable oxide）、パリレン、サイトップ、またはBCB（Bensocyclobutene）等種々のものを用いることができる。これにより、配線間の容量をよりいっそう低減することができる。

【0027】

本発明によれば、半導体基板上に絶縁膜を形成する工程と、絶縁膜を選択的に除去して複数の配線溝を形成する工程と、配線溝を埋め込むように金属膜を形成する工程と、配線溝外部に形成された金属膜を除去することにより複数の配線を形成する工程と、隣接する配線の間の領域全体にわたって絶縁膜を除去して溝を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0028】

このようにして、以下で説明するように、溝を形成した後、溝上に配線間に低誘電率材料からなる層間絶縁膜（第三の絶縁膜）を形成すれば、配線間の容量を低減させた半導体装置の製造工程を簡略化することができる。

【0029】

本発明の半導体装置の製造方法において、溝を形成する工程の後、半導体基板上の全面に層間絶縁膜を形成する工程をさらに含むことができる。ここで、層間絶縁膜は、上述したような低誘電率材料により構成することができる。これによ

り、配線間の容量を低減させた半導体装置を製造することができる。また、層間絶縁膜は、溝全体を埋め込むように形成することもできる。このようにすれば、配線が形成された層とその下層との間にエッチングストッパ膜を設けることなく、層間絶縁膜として低誘電率材料を用いることができるので、配線間の容量をより低減することができる。さらに、層（または膜）間の密着性を高めることもできる。

【0 0 3 0】

本発明の半導体装置の製造方法において、溝内に空洞を形成するように層間絶縁膜を形成することができる。

【0 0 3 1】

このようにすれば、配線間の容量を低減することができる。さらに、この場合も、層間絶縁膜は、上述したような低誘電率材料により構成することができる。このようにすれば、配線間の容量をさらに低減することができる。

【0 0 3 2】

本発明の半導体装置の製造方法において、溝を形成する工程において、マスクを形成することなく絶縁膜を金属膜に対して選択的に除去するエッチング液を用いて絶縁膜を除去することができる。ここで、絶縁膜としては、たとえばポリイミド、とくに感光性のポリイミドを用いることができる。この場合、エッチング液としては、たとえばヒドラジンを用いることができる。これにより、マスクを用いることなく、絶縁膜のみを選択的に除去することができる。そのため、溝を形成する工程において、底面に対して側壁が略垂直な溝を形成することができ、従来の問題を解決することができ、均一なエアギャップを形成することができる。

【0 0 3 3】

【発明の実施の形態】

（第一の実施の形態）

図 1 から図 3 は、本発明の第一の実施の形態における半導体装置の製造方法を示す工程図である。以下、デュアルダマシン法で多層配線構造を形成する工程を説明する。

【0034】

まず、半導体基板100上に第一の絶縁膜102（たとえば膜厚800nm）を形成する。第一の絶縁膜102は、たとえばシリコン酸化膜により構成することができる。なお、第一の絶縁膜102は、いわゆる低誘電率材料により構成することもできる。低誘電率材料としては、様々なものを用いることができるが、詳細には第二の実施の形態において後述する。

【0035】

つづいて、第一の絶縁膜102に、ビアホール104（たとえば1 μ m径）および第一のエアギャップ形成用溝106（たとえば1.12 μ m径）を形成する（図1（a））。ビアホール104および第一のエアギャップ形成用溝106は、たとえば、所望の位置にパターニングされたたとえばフォトリソスト膜等のマスク（不図示）を用いてドライエッチングにより形成することができる。このとき、フォトリソスト膜にはビアホール104および第一のエアギャップ形成用溝106が互いに接触しないようなパターンが形成される。

【0036】

次に、ビアホール104および第一のエアギャップ形成用溝106を埋め込むように、半導体基板100上に第二の絶縁膜108（たとえば第一の絶縁膜102上の平坦部の膜厚約800nm）を形成する（図1（b））。第二の絶縁膜108には、後述するように配線溝が形成されるため、第二の絶縁膜108の膜厚は、配線の厚さを考慮して設定されるのが好ましい。ここで、第二の絶縁膜108は、配線形成後のエッチングにて除去可能な材料により構成することができ、たとえばポリイミドにより構成することができる。第二の絶縁膜108は、感光性ポリイミドにより構成することができる。

【0037】

その後、第二の絶縁膜108上に、図1（a）において第一のエアギャップ形成用溝106が形成された領域に対応する位置にパターニングされたマスク110を形成する（図1（c））。ここで、マスク110としては、一般的なフォトリソスト膜を用いることができる。また、他の例において、マスク110を設けることなく、第二の絶縁膜108をマスクとして用いることもできる。

【0038】

つづいて、マスク 110 により、第二の絶縁膜 108 を部分的に除去する。第二の絶縁膜 108 は、ドライエッチングやウェットエッチングにより除去することができる。これにより、ビアホール 104 に埋め込まれていた第二の絶縁膜 108 が除去されるとともに、ビアホール 104 に接続して設けられた配線溝 113（たとえば幅 $1.12\ \mu\text{m}$ ）が形成される。また同時に、犠牲膜 112 が形成される（図 2（a））。ここで、配線溝 113 の側壁は、犠牲膜 112 により構成される。第二の絶縁膜 108 として感光性ポリイミドを用いた場合、第二の絶縁膜 108 を露光、現像することにより、ビアホール 104 に埋め込まれた第二の絶縁膜 108 の除去および配線溝 113 の形成を行うことができ、この場合、第二の絶縁膜 108 を例えば 150°C 程度で焼きしめる。

【0039】

次に、マスク 110 を除去する（図 2（b））。その後、半導体基板 100 上全面にビアホール 104 および配線溝 113 の内面を覆うバリアメタル膜 114 を形成する（図 2（c））。本実施の形態におけるバリアメタル膜 114 は、例えば Ti、W、Ta 等の高融点金属を含む。好ましいバリアメタル膜 114 としては、例えば、Ti、TiN、W、WN、Ta、Ta₂N₅ 等が例示される。とくに、Ta₂N₅ および Ta が積層したタンタル系バリアメタルが好ましく用いられる。たとえば、バリアメタル膜 114 として Ta/Ta₂N₅ を用いた場合、膜厚は約 $20\ \text{nm}/20\ \text{nm}$ とすることができる。バリアメタル膜 114 は、スパッタリング法、CVD 等の方法によって形成することができる。

【0040】

つづいて、ビアホール 104 および配線溝 113 を埋め込むように、金属膜 116 が形成される（図 2（d））。ここで、金属膜 116 は、銅を主成分として構成することができる。金属膜 116 は、たとえばめっき法により、以下のようにして形成することができる。まず、銅めっきを成長させるための銅からなるシード銅膜をスパッタリング法により堆積する。次に、基板を液温約 25°C の硫酸銅水溶液に浸漬し、電解めっき法により金属膜 116 を形成する。

【0041】

その後、たとえば200℃以上500℃以下の温度で30分程度のアニール処理を行うこともできる。これにより、金属膜116中のグレインを大きくすることができ、金属膜116のストレスマイグレーション耐性を高めることができるとともに、金属膜116の抵抗値を低くすることができる。

【0042】

つづいて、配線溝113外部に成膜された不要なバリアメタル膜114および金属膜116を化学的機械的研磨（Chemical Mechanical Polishing：CMP）により除去して平坦化し、ビアホール104および配線溝113内部にのみバリアメタル膜114および金属膜116を残すようにして配線118を形成する（図2（e））。このようにして、デュアルダマシン法により、ビア119および配線118が同時に形成される。

【0043】

その後、犠牲膜112をたとえばヒドラジン等のエッチング液を用いたウェットエッチングにより選択的にエッチングして除去すると、ビア119が形成された膜および配線118が形成された膜にまたがって、側壁が第一のエアギャップ形成用溝106（図1参照）の底面に対して略垂直な第二のエアギャップ形成用溝120が形成される（図3（a））。本実施の形態において、犠牲膜112は、ウェットエッチングにおいて、エッチング液に対する選択比が金属膜116とは異なる材料により構成するのが好ましい。このようにすることにより、マスクを用いることなく、底面に対して側壁が略垂直な第二のエアギャップ形成用溝120を形成することができる。これにより、従来問題となっていた工程数の増加、配線へのダメージを防ぐことができる。また、従来において、図5を参照して説明したオーバーエッチングやアンダーエッチングの問題も解決することができ、均一なエアギャップを形成することができる。

【0044】

次に、埋設性の低い条件にて、第二のエアギャップ形成用溝120の上部のみが塞がるように、半導体基板100上全面に第三の絶縁膜122を形成する。これにより、ビア119が形成された膜および配線118が形成された膜にまたがって、エアギャップ124が形成される（図3（b））。ここで、第三の絶縁膜

122は、プラズマCVD法により、たとえば SiH_4 、 O_2 、Arガス等を用いて行うことができる。埋設性の低い条件は、たとえば、印加するバイアス電圧を低くし、RF (Radio Frequency) パワーを落として埋設性を減少させることにより実現できる。第三の絶縁膜122もまた、いわゆる低誘電率材料により構成することができる。低誘電率材料については、第二の実施の形態において後述する。

【0045】

その後、第三の絶縁膜122をCMPにより所望の厚さ（たとえば200nm）に除去および平坦化して、上述した工程を繰り返すことにより、配線間にエアギャップ124が形成された多層配線構造を形成することができる。

【0046】

以上の第一の実施の形態で説明したようにして、配線118間にエアギャップ124を形成することにより、たとえば配線間の層間絶縁膜としてシリコン酸化膜を用いた場合に比べて隣接配線間容量が約20～25%低減されることが確認された。

【0047】

以上の本発明の実施の形態における半導体装置の製造方法により、配線間にエアギャップを形成する場合に、第二のエアギャップ形成用溝作成のためにわざわざフォトリソ工程を追加する必要があるため、工程を簡略化することができる。また、第一のエアギャップ形成用溝106が形成された領域に対応する位置にパターニングされたマスク110を用いることにより、配線が形成された層とビアが形成された層にまたがってエアギャップ124を形成することができる。また、本実施の形態において、第二のエアギャップ形成用溝120の下方部分はビアホール104形成時に同時にドライエッチングにより形成されているため、第二のエアギャップ形成用溝120の側壁を第一のエアギャップ形成用溝106の底面に対して略垂直形状とすることができる。これにより、エアギャップ124の形状のばらつきを小さくすることができ、半導体装置を安定的に製造することができる。さらに、マスクを用いることなく犠牲膜112を除去できるので、これによっても半導体装置の製造工程を簡略化することができる。

【0048】

(第二の実施の形態)

図4は、本発明の第二の実施の形態における半導体装置の製造方法の一部を示す工程図である。

本実施の形態においても、第一の実施の形態において図1および図2を参照して説明したのと同様にして、配線118、ビア119および犠牲膜112を形成する。その後、第一の実施の形態と同様、犠牲膜112をたとえばヒドラジンをを用いたウェットエッチングにて選択的にエッチングして除去し、ビア119が形成された膜および配線118が形成された膜にまたがって、側壁が第一のエアギャップ形成用溝106(図1参照)の底面に対して略垂直な第二のエアギャップ形成用溝120を形成する(図4(a))。

【0049】

本実施の形態においては、第二のエアギャップ形成用溝120の内部が埋まるように、半導体基板100上全面に第三の絶縁膜122を形成する(図4(b))。ここで、第三の絶縁膜122は、第一の実施の形態においても上述した、いわゆる低誘電率材料により構成することができる。低誘電率材料としては、梯子型水素化シロキサン等のラダーオキサイドを含む膜とすることが好ましい。梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーのことであり、配線遅延防止の観点から比誘電率2.9以下のものが好ましく、また膜密度が低いものが好ましい。こうした膜材料の具体例としてL-Ox(商標)等を例示することができる。また、低誘電率材料としては、この他に、たとえば、HSQ(ヒドロジェンシルセスキオキサン)、MSQ(メチルシルセスキオキサン)、またはMH SQ(メチル化ヒドロジェンシルセスキオキサン)等のポリオルガノシロキサン、ポリアリールエーテル(PAE)、ジビニルシロキサンービスーベンゾシクロブテン(BCB)、またはSilk(登録商標)等の芳香族含有有機材料、SOG(spin on glass)、FOX(flowable oxide)、パリレン、サイトップ、またはBCB(Bensocyclobutene)等種々のものを用いることができる。

【0050】

これにより、ビア 119 が形成された膜および配線 118 が形成された膜にまたがって、低誘電率材料により構成された層間絶縁膜 126 が形成される（図 3（c））。以上の工程を繰り返すことにより、配線間に層間絶縁膜 126 が形成された多層配線構造を形成することができる。

【0051】

以上の本発明の実施の形態における半導体装置の製造方法により、犠牲膜 112 を形成して配線 118 を形成した後に犠牲膜 112 を除去して低誘電率材料により構成された層間絶縁膜 126 を形成するので、エッチングストッパ膜を形成する必要がない。配線 118 間に低誘電率材料により構成された層間絶縁膜 126 を形成し、エッチングストッパ膜を用いない構成とすることにより隣接配線間容量を低減することができる。また、エッチングストッパ膜を用いない構成とすることにより、層（または膜）間の密着性を向上することもできる。

【0052】

以上、本発明を実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、そうした例を説明する。

【0053】

なお、以上の実施の形態において、デュアルダマシン法により多層配線構造を形成する工程を例として説明したが、本発明は、シングルダマシン法により多層配線構造を形成する例に適用することももちろん可能である。

【0054】

さらに、以上の実施の形態において、各種構成要素の幅等のサイズを例示したが、本発明はこれらに限られるものではなく、加工精度を高めて、より微細な構造の半導体装置の製造にも適用できることは明らかである。

【0055】

さらに、犠牲膜 112 を構成する材料としてポリイミドを例示したが、これに限らず、配線 118 を構成する金属膜 116 等および第一の絶縁膜 102 に対してエッチング時のエッチング液に対する選択比がとれるものであれば、どのよう

な材料を用いることもできる。

【 0 0 5 6 】

【発明の効果】

本発明によれば、配線間の容量を低減させた半導体装置を製造することができる。また、本発明によれば、配線間の容量を低減させた半導体装置の製造における工程数を減らして、製造工程を簡略化することができる。本発明によれば、半導体装置を安定的に製造することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図 2】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図 3】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図 4】

本発明の実施の形態における半導体装置の製造方法を示す工程図である。

【図 5】

従来エアギャップを設けた半導体装置の構成を示す図である。

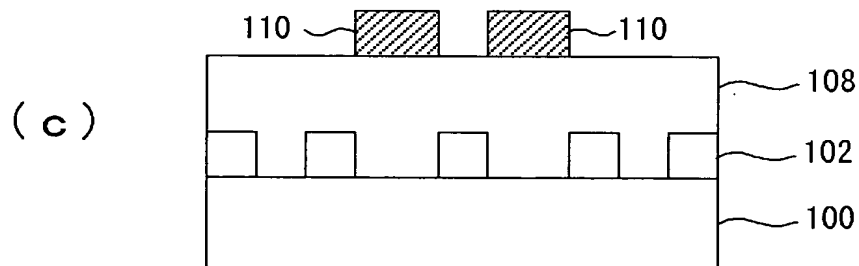
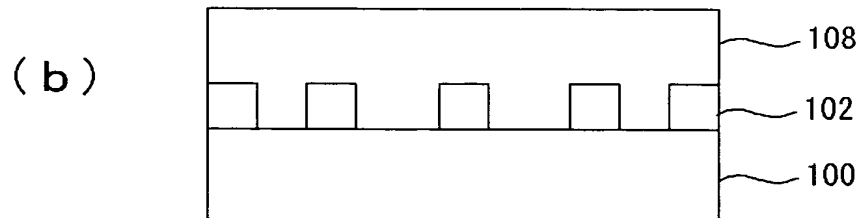
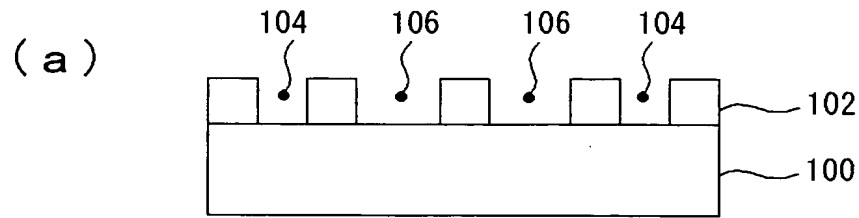
【符号の説明】

- 1 0 0 半導体基板
- 1 0 2 第一の絶縁膜
- 1 0 4 ビアホール
- 1 0 6 第一のエアギャップ形成用溝
- 1 0 8 第二の絶縁膜
- 1 1 0 マスク
- 1 1 2 犠牲膜
- 1 1 3 配線溝
- 1 1 4 バリア金属膜
- 1 1 6 金属膜

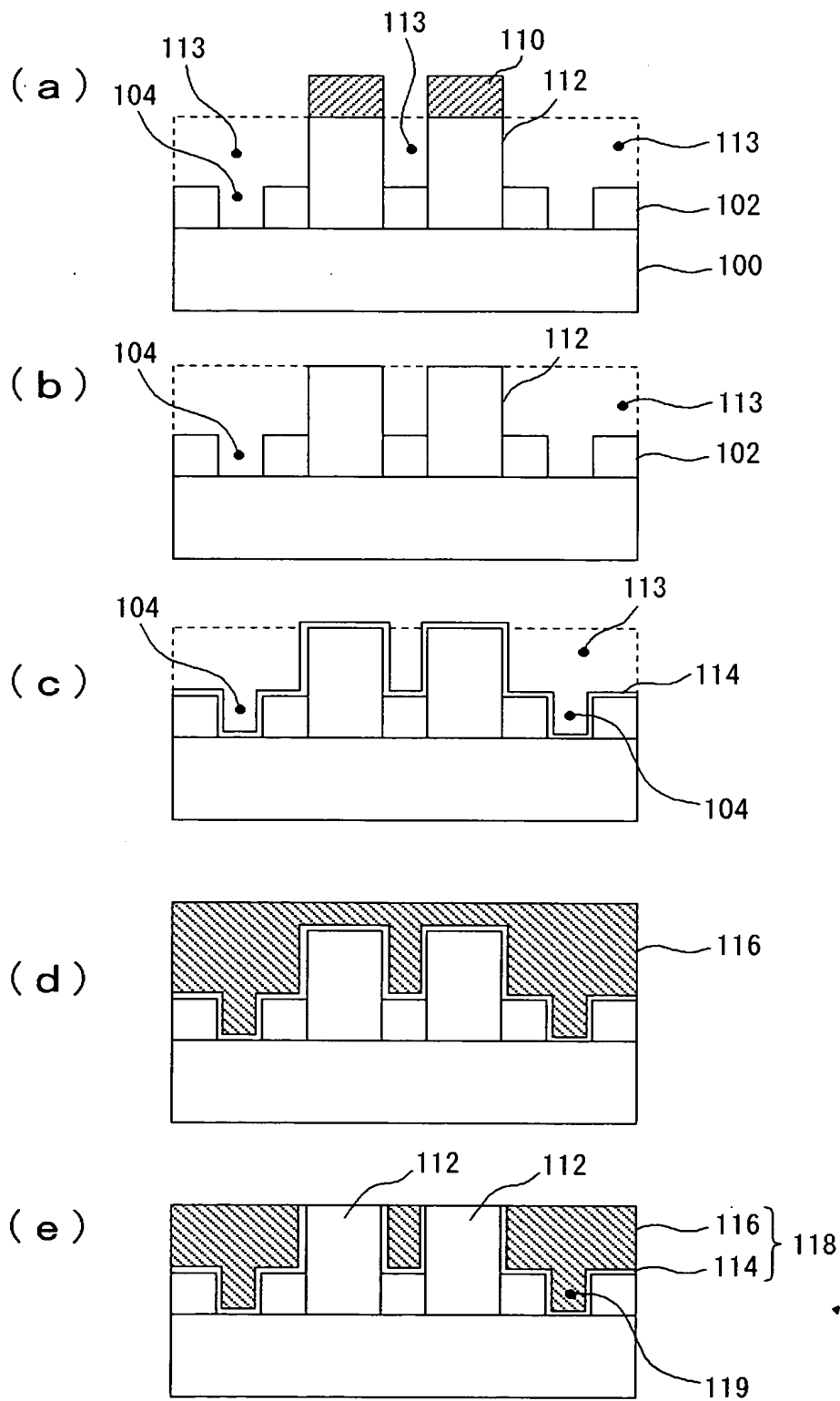
- 1 1 8 配線
- 1 1 9 ビア
- 1 2 0 第二のエアギャップ形成用溝
- 1 2 2 第三の絶縁膜
- 1 2 4 エアギャップ
- 1 2 6 層間絶縁膜
- 1 層間絶縁膜
- 4 バリア膜
- 5 配線金属
- 6 層間絶縁膜
- 8 エアギャップ形成用溝
- 9 エアギャップ

【書類名】 図面

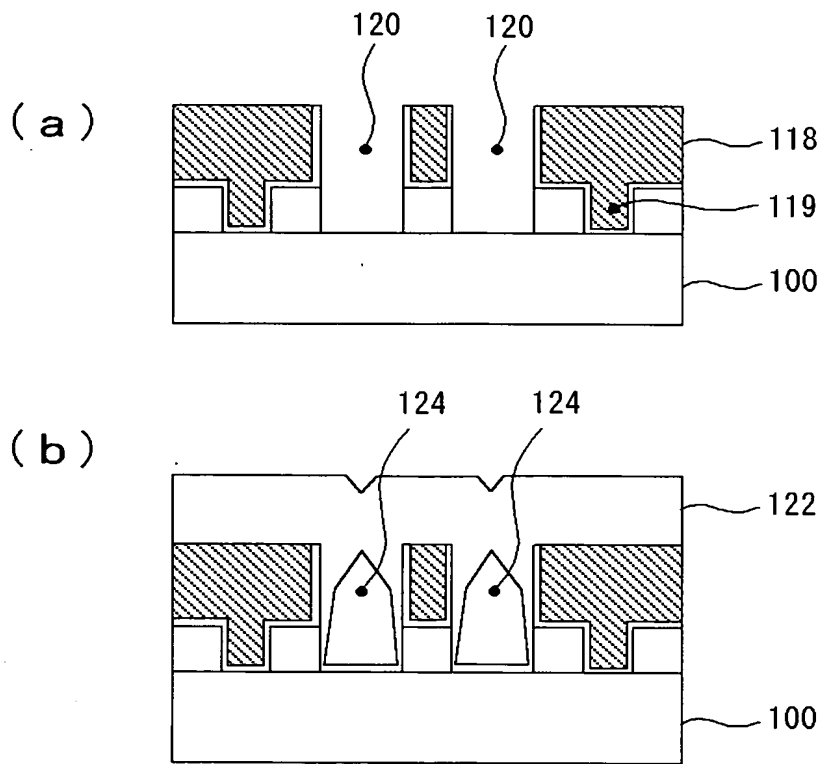
【図 1】



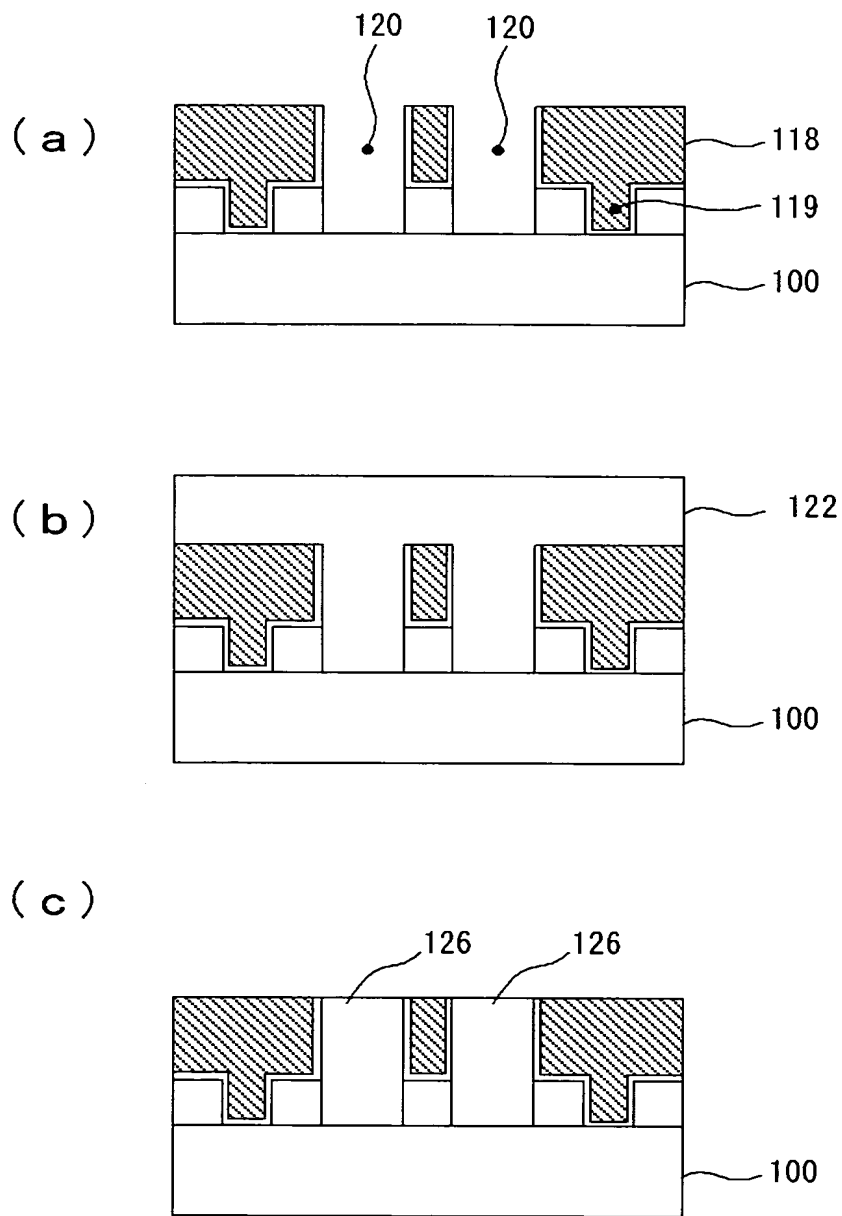
【図 2】



【図 3】

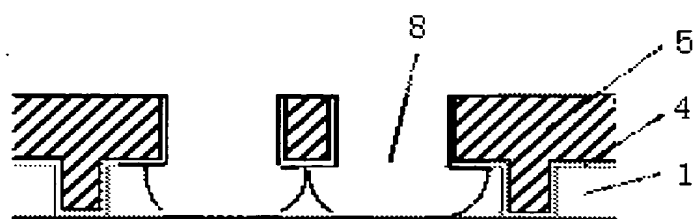


【図 4】

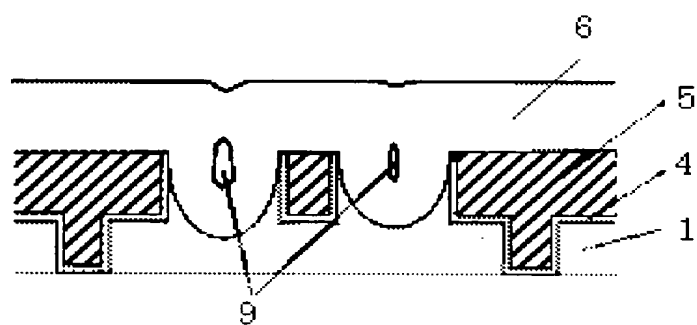


【図 5】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 配線間の容量を低減させた半導体装置の製造工程を提供する。

【解決手段】 ビアホール 1 0 4 形成時に、第一のエアギャップ形成用溝 1 0 6 をも形成しておき、その上に第二の絶縁膜 1 0 8 を形成する。その後、マスク 1 1 0 を用いて第一のエアギャップ形成用溝 1 0 6 が形成された領域に対応する領域以外の第二の絶縁膜 1 0 8 を部分的に除去することにより配線溝（不図示）を形成する。その後、第一のエアギャップ形成用溝 1 0 6 が形成された領域の第二の絶縁膜 1 0 8 を除去して第二のエアギャップ形成用溝（不図示）を形成し、当該第二のエアギャップ形成用溝部分にエアギャップ（不図示）を形成する。

【選択図】 図 1

特願 2 0 0 3 - 0 0 9 1 8 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社